

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-021651

(43)Date of publication of application : 24.01.1990

(51)Int.Cl.

H01L 27/102  
G11C 17/06

(21)Application number : 63-171327

(71)Applicant : RICOH CO LTD

(22)Date of filing : 09.07.1988

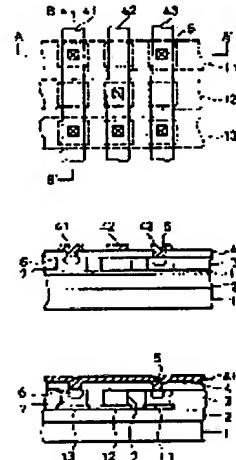
(72)Inventor : ASAOKAWA TOSHIBUMI  
NAKAYAMA HARUO  
KOSAKA DAISUKE

## (54) MASK ROM

### (57)Abstract:

**PURPOSE:** To increase the degree of integration by not containing MOS transistors in a memory cell, and increase the reading speed by reducing the resistance value of a conductive layer, by boring contact holes in a dielectric layer, according to information to be stored at crossing points of a belt-type conductive layer and a belt-type metal wiring, and forming PN junctions in a single crystal silicon layer of the crossing points in which at least the contact hole is bored.

**CONSTITUTION:** A single crystal silicon layer 7 exists at crossing parts of conductive layers 11, 12, 13 and metal wirings 41, 42, 43. In order to mutually isolate the single crystal layer 7, trenches are arranged, in which a silicon oxide film 3 is buried. In a silicon oxide film 4, contact holes are arranged according to information to be written. In the part of the silicon oxide film 4 where the contact holes are arranged, P-type impurity is introduced in the single crystal silicon layer 7, and a P-type conductive layer 6 is formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

平2-21651

⑫Int.Cl.<sup>1</sup>

H 01 L 27/102  
G 11 C 17/06

識別記号

序内登録番号

⑬公開 平成2年(1990)1月24日

8624-5F H 01 L 27/10  
7341-5B G 11 C 17/06

435

D

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 マスクROM

⑮特願 昭63-171327

⑯出願 昭63(1988)7月9日

⑰発明者 浅川俊文 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
⑱発明者 中山春夫 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
⑲発明者 小坂大介 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
⑳出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号  
㉑代理人 井理士野口繁雄

明細書

1. 発明の名稱

マスクROM

2. 特許請求の範囲

(1) 絶縁性下地に互いに平行に設けられた複数本の高融点金属又は高融点金属性の帯状導電層と、この帯状導電層の上部に誘電体層を介して設けられ、互いに平行で、かつ、前記帯状導電層と交差する方向の帯状金属配線と、前記帯状導電層と前記帯状金属配線との交点位置で前記帯状導電層上に設けられた單結晶シリコン層とからなり、前記帯状導電層と前記帯状金属配線との交点には記憶すべき情報を応じて前記誘電体層にコンタクト孔があけられ、少なくともコンタクト孔があけられている交点の前記单結晶シリコン層にはPN接合が形成されているマスクROM。

3. 発明の詳細な説明

(実用上の利用分野)

本発明はデジタル情報を記憶するマスクROMに関するものである。

(従来技術)

現存するマスクROMの殆んどは、MOSトランジスタを主構成要素としているので、チャネル領域の確保やチャネルとコンタクトの間の距離の確保などが製造技術上必要であり、セル面積を縮小することが困難であり、また、読み出し速度も遅い欠点がある。

そこで、前段のN型帯状多結晶シリコン層と前段の帯状導電層とのそれを構成する構造を介して交差させ、その交点に記憶情報に応じて適宜コンタクトを設けるとともに、そのコンタクトを形成した箇所の多結晶シリコン層に逆側電極の不純物を導入してPN接合を形成したマスクROMが提案されている(特公昭61-1904号公報参照)。

(発明が解決しようとする課題)

引例のマスクROMでは一方の帯状導電層として多結晶シリコン層を用いているので、その抵抗値が高く、読み出し速度が遅くなる問題がある。

本発明はメモリセル内にMOSトランジスタを

合をないことによって抵抗値を上げることができるとともに、導電層の抵抗値を下げて読み出し速度を上げたマスクROMを提供することを目的とするものである。

(課題を解決するための手段)

本発明のマスクROMは、絶縁性下地上に互いに平行に設けられた複数本の高融点金属又は高融点金属合金の帯状導電層と、この帯状導電層の上部に説明体層を介して設けられ、互いに平行で、かつ、前記帯状導電層と交差する方向の帯状金属配線と、前記帯状導電層と前記帯状金属配線との交点位置で前記帯状導電層上に設けられた単結晶シリコン層とからなり、前記帯状導電層と前記帯状金属配線との交点には記憶すべき情報に応じて前記説明体層にコンタクト孔が設けられ、少なくともコンタクト孔があげられている交点の前記単結晶シリコン層にはPN接合が形成されている。

(作用)

本発明では下層の導電層が高融点金属又は高融点金属合金であり、上層の導電層も金属層であり、

いずれの導電層の抵抗値も低い。

説明体層にコンタクト孔をあけるかあけないかによって情報の「1」又は「0」を書き込む。

(実施例)

第1図は一実施例を表わす平面図、第2図はそのA-A'線位置での断面図、第3図はそのB-B'線位置での断面図である。

1は単結晶シリコン基板であり、その表面にシリコン酸化膜(SiO<sub>2</sub>)2が形成されて絶縁性下地を構成している。シリコン酸化膜2上には互いに平行に設けられた帯状の導電層11, 12, 13が形成されている。この導電層11, 12, 13はTi, W, Mo, Ptなどの高融点金属又はそれらの合金である高融点金属シリサイドにより、互いに既定の間隔を保って平行に配置されている。これらの導電層11, 12, 13の厚さは約2000Åである。

導電層11, 12, 13上には単結晶シリコン層7が約5000Åの厚さに形成されている。単結晶シリコン層7は10<sup>17</sup>~10<sup>18</sup>cm<sup>-3</sup>程度のリン

が導入されてN型化されている。単結晶シリコン層7の上部にはシリコン酸化膜4を介して金属配線41, 42, 43が形成されている。金属配線41, 42, 43はAl又はAl<sub>x</sub>合金にてなり、導電層11, 12, 13と交差する方向に互いに平行に既定の間隔を保って配置されている。単結晶シリコン層7は導電層11, 12, 13と金属配線41, 42, 43との交点部分に存在し、単結晶シリコン層7を互いに分離するために溝が設けられ、その間にシリコン酸化膜3が埋め込まれている。

シリコン酸化膜4には書き込むべき情報に応じてコンタクト孔が設けられている。シリコン酸化膜4にコンタクト孔が設けられた部分では単結晶シリコン層7にP型の不純物が導入されてP型導電層6が形成されている。P型導電層6を形成するためには2×10<sup>17</sup>~10<sup>18</sup>/cm<sup>3</sup>以上のボロン注入が適当である。6は単結晶シリコン層のP型導電層6と金属配線41, 42, 43とのコンタクトである。

次に本実施例の製造方法について説明する。

第4図に示されるように、単結晶シリコン基板1の表面を酸化して約1μmのシリコン酸化膜2を形成する。その上にタンクスチタンなどの高融点金属をスパッタリング法などにより約2000Åの厚さに堆積し、写真回版とエッチングによりパターン化を施して帯状導電層11, 12, 13を形成する。その上から減圧CVD法により多結晶シリコン層20を約5000Åの厚さに堆積し、その上にCVD法によりシリニン酸化膜(Si<sub>3</sub>N<sub>4</sub>)21を約800Åの厚さに堆積する。さらにその上にシリコン酸化膜22を約1000Åの厚さに堆積し、その表面に冷却媒体としてのポリエチレングリコール23を堆積する。ポリエチレングリコール23上には光学ガラス板24を載せる。

その後、例えば光出力3W程度のアルゴンイオンレーザビーム26をレンズで聚焦して多結晶シリコン層20に照射し、レーザビーム26を走査することにより多結晶シリコン層20の階層部分

2.5を移動させて結晶成長させ、単結晶シリコン層7を形成する。

その後、光学ガラス板24、ポリエチレングリコール層23、シリコン酸化膜22及びシリコン酸化膜21を除去する。単結晶シリコン層7の所定の凹所をR1Eなどでエッティングしてメモリセルを分離するための跡を形成し、その間にシリコン酸化膜3を埋め込んだ後、残る単結晶シリコン層7に $10^{-9}$ /cm<sup>2</sup>程度のリンを導入してN型化しておく。

その後、単結晶シリコン層7及びシリコン酸化膜3の表面をシリコン酸化膜4で被り、巻き込むべき情報に応じてシリコン酸化膜4にコンタクト孔を設け、そのコンタクト孔からP型不純物として例えばボロンを $2 \times 10^{15}$ /cm<sup>3</sup>以上注入してP型導電層6を形成する。

その後、アルミニウムなどの導電層を堆積し、写真製版とエッティングによりパターン化して金属配線41、42、43を形成する。

その後、バックペーパン膜を形成する。

さを均一にすることができる。

上記の実施例ではシリコン酸化膜4にコンタクト孔を形成した後に単結晶シリコン層7にPN接合を形成しているが、シリコン酸化膜4を形成する前に予め全てのシリコン单結晶層7にPN接合を形成しておいてもよい。このように、予めPN接合を形成しておくことにより、コンタクト工程で情報書き込むことができ、登注から完成までの時間を見短すことができる。

また、単結晶シリコン層7に形成されるPN接合の方向は、実施例のように上層がP型、下層がN型に限らず、その逆に上層がN型、下層がP型であってもよい。

実施例では絶縁性下地として単結晶シリコン基板の裏面をシリコン酸化膜で被覆したものを使用しているが、絶縁性下地は單一の説明書基板であってもよい。

第1図には簡単な例として3ビット×3ビットのメモリアレイを示しているので、このメモリアレイの説明し回路を第5図に示す。

第4図の単結晶シリコン層の製造プロセスにおいて、レーザビーム28に代えて、他の光ビームや、電子ビーム、熱線などのエネルギーービームを用いることもできる。エネルギーービームとしてレーザビームを用いる場合、その照射条件は通常アルゴンイオンレーザでその光出力が数W～20W程度であり、多結晶シリコン層20でのレーザビーム径は20～100μm程度、走査速度は数cm～25cm/秒程度である。

冷却媒体としてはガリエーテングリコール23の他に、ポリエチレンエーテル、ポリエチレンエステル、ポリプロピレンオキシドなど一般に表面活性剤として知られるものを使用することができる。

第4図におけるシリコン酸化膜22と光学ガラス板24は熱くてもよいが、ポリエチレングリコール23はシリコン酸化膜21上に直接塗布するよりもシリコン酸化膜22を介して塗布する方が塗れ性がよくなり、また、光学ガラス板24を焼せることによりポリエチレングリコール23の厚

メモリアレイ(MA)では、導電層11、12、13と金属配線41、42、43との交点にコンタクト5が存在する箇所は情報として「1」、コンタクト6の存在しない箇所は情報として「0」が対応しており、コンタクト5がある交点はコンタクト6を介してPN接合が形成されているのでダイオード30として扱わることができる。第5図のメモリアレイ(MA)の部分は第1図に対応している。

導電層11、12、13はそれぞれマルチプレクサの読み出しトランジスタ31、32、33を介して読み出しインバータ回路28に接続されている。読み出しインバータ回路28の入力端は高抵抗端子27によりグランド端子(GND)にプルダウンされている。

第5図の読み出し回路において、例えはメモリアレイの左上端のビット81を読み出す場合は、左端の金属配線41にのみ電位(例えは5V)を与えて他の金属配線42、43は0V(GND)又はオープンとし、また左端の読み出しトランジスタ

31のみをオンとする。このとき、ビットB1のダイオード30によって読み出しインバータ回路28の入力は「1」となり、出力信号は「0」となる。

また例えば、メモリアレイの中央上端のビットB2を読み出す場合は、中央の金属配線42にのみ電位を与えるとともに、上端の読み出しトランジスタタ31のみをオンとする。このときはビットB2位置にはコンタクトが存在しないので上端の導電層11はオープンとなるが、高抵抗素子27の存在によって読み出しインバータ28の入力は「0」となり、「1」が出力される。このようにしてメモリアレイの内容が適宜読み出される。

第1図の実施例とは導電層を逆にし、すなわち単結晶シリコン層7を下層、被覆領域8を上層とした場合の読み出し回路を第6図に示す。

この場合、高抵抗金属又は高融点金属合金の導電層11a, 12a, 13aとAl<sub>2</sub>O<sub>3</sub>やAl<sub>2</sub>Sn合金などの金属配線41a, 42a, 43aの交点のコンタクトで形成されるダイオード30a, 31a。

……は第5回のものとは逆方向となる。そしてマルチプレクサの読み出しトランジスタ31a, 32a, 33aは第5回とは逆にP型MOSトランジスタになり、読み出しインバータ回路28の入力部に接続される高抵抗素子27aは電源電圧端子(Vcc)に接続されてブルアップされる。

#### (発明の効果)

本発明では下層の単結晶層と上層の金属配線との交点の単結晶シリコン層のPN接合と、金属配線と単結晶シリコン層とのコンタクトの有無により情報を書き込むようにしたので、メモリセルの占める面積がMOSトランジスタを用いた従来のマスクRDRAMに比べて半径度を高めることができ、かつ、上層の金属配線と上層の導電層がいずれも低抵抗の金属層であるので、読み出し速度が速くなる。

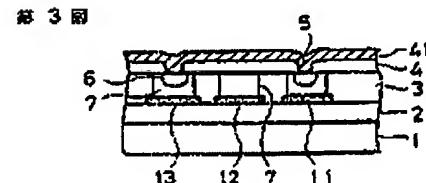
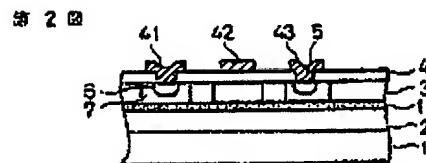
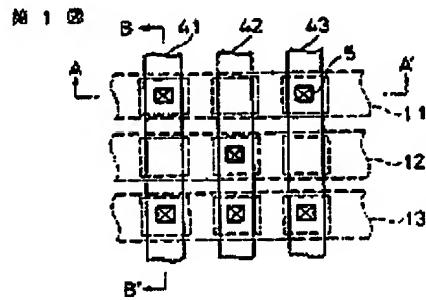
#### 4. 図面の簡単な説明

第1図は一実施例を表す平面図、第2図は第1図のA-A'線位置での断面図、第3図は第1図のB-B'線位置での断面図、第4図は一実施

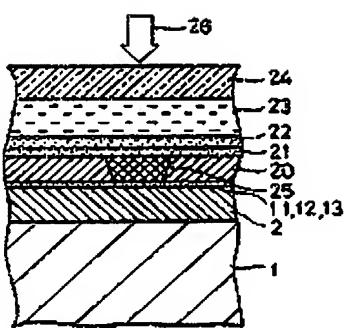
例の製造途中の状態を示す断面図、第5図及び第6図はそれぞれ実施例の読み出し回路を示す回路図である。

1……単結晶シリコン基板、2, 3, 4……シリコン酸化膜、5……コンタクト、6……P型放電領域、7……N型単結晶シリコン層、11, 12, 13……導電層、41, 42, 43……金属配線。

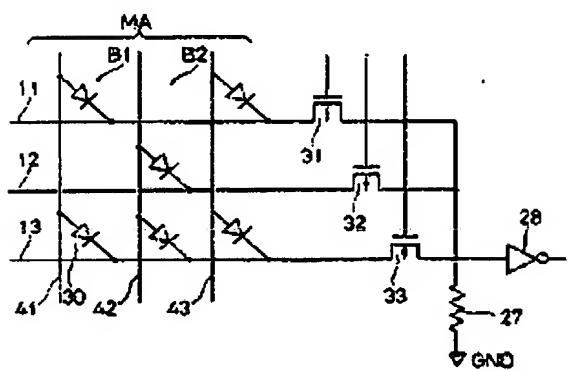
特許出願人 株式会社リコー  
代理人 助理士 寺口英輔



第4図



第5図



第6図

